



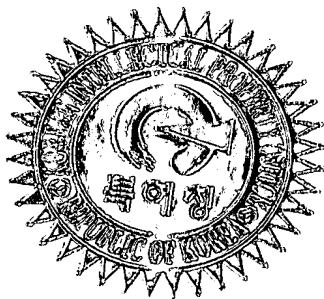
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0085801
Application Number

출원 년 월 일 : 2003년 11월 28일
Date of Application NOV 28, 2003

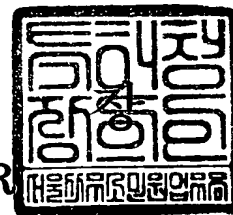
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 12 월 08 일

특 허 청

COMMISSIONER





1020030085801

출력 일자: 2003/12/13

【서지사항】

| | |
|-------------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0010 |
| 【제출일자】 | 2003.11.28 |
| 【발명의 명칭】 | 반도체 소자의 정렬 패턴 형성방법 |
| 【발명의 영문명칭】 | Method for forming align pattern of semiconductor device |
| 【출원인】 | |
| 【명칭】 | 주식회사 하이닉스반도체 |
| 【출원인코드】 | 1-1998-004569-8 |
| 【대리인】 | |
| 【성명】 | 강성배 |
| 【대리인코드】 | 9-1999-000101-3 |
| 【포괄위임등록번호】 | 1999-024436-4 |
| 【발명자】 | |
| 【성명의 국문표기】 | 권원택 |
| 【성명의 영문표기】 | KWON, Won Taik |
| 【주민등록번호】 | 621010-1037713 |
| 【우편번호】 | 476-800 |
| 【주소】 | 경기도 양평군 양평읍 강상면 교평1리 669-12 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인) |
| 【수수료】 | |
| 【기본출원료】 | 17 면 29,000 원 |
| 【가산출원료】 | 0 면 0 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 3 항 205,000 원 |
| 【합계】 | 234,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

**【요약서】****【요약】**

본 발명은 반도체 소자의 정렬 패턴 형성방법을 개시한다. 개시된 본 발명의 정렬 패턴 형성방법은, 실리콘기판의 셀 영역과 주변회로 영역 및 스크라이브 라인 각각에 트렌치를 형성하는 단계와, 상기 기판 셀 영역의 트렌치가 매립되도록 기판 전면 상에 산화막을 증착하는 단계와, 상기 산화막을 CMP하여 기판 셀 영역 및 주변회로 영역에 트렌치형의 소자분리막을 형성하는 단계와, 상기 기판 상에 셀 영역 및 주변회로 영역의 일부분과 스크라이브 라인의 산화막이 매립된 트렌치 부분을 노출시키는 이온주입 마스크를 형성하는 단계와, 상기 이온주입 마스크로부터 가려지지 않은 노출된 기판 부분들 내에 불순물을 이온주입하는 단계와, 상기 스크라이브 라인의 트렌치 내에 매립된 산화막이 리세스되도록 기판 결과물에 대해 산화막 웨트 딥(Wet Dip)을 수행하는 단계와, 상기 이온주입 마스크를 제거하는 단계를 포함한다. 본 발명에 따르면, 소자분리 공정 이후의 이온주입 공정에서 이온주입 후 산화막 웨트 딥을 추가하여 정렬 패턴 내의 산화막을 리세스시킴으로써 키 오픈 공정을 수행함이 없이도 정렬 패턴에서의 단차를 재형성해 줄 수 있으며, 이에 따라, 공정 단순화를 이룰 수 있어 제조 비용 및 시간을 절감할 수 있다.

【대표도】

도 2e

【명세서】

【발명의 명칭】

반도체 소자의 정렬 패턴 형성방법{Method for forming align pattern of semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래 키 오픈 공정이 적용된 정렬 패턴 형성방법을 설명하기 위한 공정별 단면도.

도 2a 내지 도 2e는 본 발명에 따른 정렬 패턴 형성방법을 설명하기 위한 공정별 단면도

도 3은 종래 및 본 발명에 따른 정렬 패턴 형성 공정을 설명하기 위한 블록도.

도 4는 본 발명에 따른 이온주입 마스크 형성용 레티클을 설명하기 위한 도면.

* 도면의 주요 부분에 대한 부호의 설명 *

21 : 실리콘기판

22 : 질화막

23a, 23b, 23c : 트렌치

24 : 산화막

25 : 소자분리막

26 : 이온주입 마스크

30 : 초기 정렬 패턴

30a : 최종 정렬 패턴

40 : 레티클

42a, 42b : 윈도우 패턴

44 : 정렬키

46 : 버니어

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 소자의 정렬 패턴 형성방법에 관한 것으로, 보다 상세하게는, 그 형성 공정을 단순화시킬 수 있는 정렬 패턴 형성방법에 관한 것이다.
- <13> 반도체 소자는 복수의 층으로 이루어지는 다층 구조를 갖는다. 따라서, 다층 구조의 반도체 소자 제조시 임의의 패턴과 그 하부에 형성된 다른 패턴 또는 상부에 형성하는 다른 패턴과의 중첩 정확성(overlay accuracy)이 크게 요구된다.
- <14> 이에, 통상의 반도체 공정에서는 전(前) 공정에서 형성시킨 패턴과 현(現) 공정에서 형성하는 패턴간의 중첩 정확성을 높이기 위해 정렬 패턴(align pattern)을 설치하여 이용하고 있다.
- <15> 이러한 정렬 패턴은 소위 레티클(Reticle)이라 불리우는 노광마스크를 웨이퍼 상부의 정확한 위치에 정렬시키기 위한 정렬키(align key)와, 중첩된 패턴들간의 중첩 상태를 파악 및 보정하기 위한 버니어(vernier)를 포함하며, 다이(Die) 사이를 분할하는 웨이퍼의 스크라이브 라인(Scribe line)에 설치하는 것이 보통이다.
- <16> 또한, 상기 정렬 패턴은 트렌치 형태로 많이 설치되며, 이러한 트렌치형 정렬 패턴으로부터의 정렬 신호는 기판 표면과 트렌치 저면간의 단차를 통해 얻게 되고, 이렇게 얻어진 정렬 신호를 이용해서 레티클을 정렬시키게 된다.
- <17> 한편, 현재 반도체 소자는 고집적화를 위해 STI 기술을 이용하여 소자분리를 행한다. 그런데, 이 과정에서 산화막 증착 및 이에 대한 CMP(Chemical Mechanical Polishing)의 적용으로

인해 스크라이브 라인에 형성시킨 정렬 패턴, 즉, 정렬키 및 각종 버니어들이 산화막으로 원치않게 매립되는 현상이 일어난다. 이에 따라, 정렬 패턴에서의 단차가 제거되어 정렬 신호를 얻지 못함으로써 레티클의 정확한 정렬을 이룰 수 없게 되고, 그래서, 상하부 패턴들간의 정확한 정렬을 이룰 수 없게 된다.

- <18> 이에, 종래에는 키 오픈(key open) 공정을 추가 수행하여 트렌치에 매립된 산화막의 일부를 제거함으로써 정렬 패턴에서의 단차가 존재하도록 하고 있다.
- <19> 자세하게, 도 1a 내지 도 1e는 종래 키 오픈 공정이 적용된 정렬 패턴 형성방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.
- <20> 먼저, STI(Shallow Trench Isolation) 공정에 따라 기판(1)의 셀 영역 및 주변회로 영역과 스크라이브 라인에 트렌치를 형성하고, 이를 통해, 도 1a에 도시된 바와 같이, 스크라이브 라인에 트렌치로 이루어진 초기 정렬 패턴(10)을 형성한다.
- <21> 그 다음, 셀 영역 및 주변회로 영역의 트렌치를 매립하도록 기판 전면 상에 산화막을 증착한다. 이때, 도 1b에 도시된 바와 같이, 상기 트렌치로된 초기 정렬 패턴(10) 상에도 산화막(6)이 증착되며, 이에 따라, 상기 초기 정렬 패턴(10)은 상기 산화막(10)에 의해 원치않게 매립된다.
- <22> 이어서, 산화막(6)을 CMP하여 셀 영역 및 주변회로 영역에 트렌치형의 소자분리막을 형성한다. 이때, 도 1c에 도시된 바와 같이, 초기 정렬 패턴(10)은 산화막(6)으로 매립되었으므로, 상기 초기 정렬 패턴(10)에는 단차가 존재하지 않게 되며, 이에따라, 이러한 초기 정렬 패턴(10)으로는 정렬 신호를 얻을 수 없다.

<23> 따라서, 초기 정렬 패턴(10)으로부터 정렬 신호를 얻기 위해, 도 1d에 도시된 바와 같이, 포토 공정을 통해 기판(1) 상에 초기 정렬 패턴(10)을 노출시키는 키 오픈 마스크(Key Open Mask: 8)를 형성하고, 그런다음, 매립된 산화막의 일부를 제거하여, 도 1e에 도시된 바와 같이, 표면 단차를 갖는 최종 정렬 패턴(10a)을 형성한다.

【발명이 이루고자 하는 기술적 과제】

<24> 그러나, 전술한 키 오픈 공정을 적용한 종래의 정렬 패턴 형성방법은 정렬 신호를 확실하게 얻을 수 있다는 측면에서 잇점을 갖기는 하지만, 상기 키 오픈 공정은 그 자체로 포토리소그래피(Photolithography) 공정을 통한 키 오픈 마스크 형성 공정 및 상기 키 오픈 마스크를 이용한 식각 공정을 포함하며, 상기 키 오픈 공정을 진행한 후에는 또한 키 오픈 마스크 제거 공정 및 세정 공정을 수행해야 하므로, 공정 상의 번거로움이 존재함은 물론 공정 단계의 추가로 인해 제조 비용 및 시간이 증가되는 문제점이 있다.

<25> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 그 형성 공정을 단순화시킬 수 있는 반도체 소자의 정렬 패턴 형성방법을 제공함에 그 목적이 있다.

<26> 또한, 본 발명은 공정 단순화를 통해 제조 비용 및 시간 증가를 방지할 수 있는 반도체 소자의 정렬 패턴 형성방법을 제공함에 그 다른 목적이 있다.

【발명의 구성 및 작용】

<27> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 실리콘기판의 셀 영역과 주변회로 영역 및 스크라이브 라인 각각에 트렌치를 형성하는 단계; 상기 기판 셀 영역의 트렌치가 매립되도록 기판 전면 상에 산화막을 증착하는 단계; 상기 산화막을 CMP하여 기판 셀 영역 및 주변회로 영역에 트렌치형의 소자분리막을 형성하는 단계; 상기 기판 상에 셀 영역 및 주변회로 영역

의 일부분과 스크라이브 라인의 산화막이 매립된 트렌치 부분을 노출시키는 이온주입 마스크를 형성하는 단계; 상기 이온주입 마스크로부터 가려지지 않은 노출된 기판 부분들 내에 불순물을 이온주입하는 단계; 상기 스크라이브 라인의 트렌치 내에 매립된 산화막이 리세스되도록 기판 결과물에 대해 산화막 웨트 딥(Wet Dip)을 수행하는 단계; 및 상기 이온주입 마스크를 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 정렬 패턴 형성방법을 제공한다.

<28> 여기서, 상기 이온주입 마스크는 웰 형성용 이온주입 마스크 또는 채널 형성용 이온주입 마스크인 것을 특징으로 한다.

<29> 또한, 상기 산화막 웨트 딥은 산화막 딥 아웃(Dip Out) 타겟을 300 Å 이하로 하여 수행하는 것을 특징으로 한다.

<30> (실시예)

<31> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<32> 우선, 본 발명의 기술적 원리를 간단히 설명하면, 본 발명은 공지된 소자분리 공정의 후속 단계인 이온주입 공정에서 이온주입 후 이온주입 마스크를 제거하기 전에 산화막 웨트 딥(Wet Dip)을 실시하여 트렌치로된 정렬 패턴에 매립된 산화막을 리세스(recess)시키며, 이를 통해, 상기 정렬 패턴, 즉, 정렬키 또는 버니어에서의 단차를 재형성시켜 준다.

<33> 이 경우, 정렬 패턴의 형성 후 상기 정렬 패턴에 단차를 재형성해주기 위한 별도의 키 오픈 공정을 수행할 필요가 없으므로, 본 발명은 키 오픈 공정의 추가에 기인하는 공정상의 번거로움과 제조 비용 및 시간의 증가를 방지할 수 있다.

- <34> 도 2a 내지 도 2e는 본 발명에 따른 정렬 패턴 형성방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.
- <35> 도 2a를 참조하면, 셀 영역과 주변회로 영역 및 스크라이브 라인으로 구획된 실리콘기판(21)을 마련한다. 그런다음, 공지의 STI 공정에 따라 기판(21) 상에 질화막 재질의 액티브 마스크(22)을 형성한 후, 상기 실리콘기판(21)을 식각마스크로서 액티브 마스크(22)를 이용해서 식각하여 기판(21)의 셀 영역과 주변회로 영역 및 스크라이브 라인 각각에 트렌치(23a, 23b, 23c)를 형성하고, 이를 통해, 상기 스크라이브 라인에 트렌치(23c)로된 초기 정렬 패턴(30)을 형성한다.
- <36> 도 2b를 참조하면, 셀 트랜지스터들간을 절연하기 위해 기판(21) 전면 상에 산화막(24)을 증착한다. 이 결과, 기판 셀 영역 및 주변회로 영역의 트렌치들(23a, 23b)이 상기 산화막(24)에 의해 매립되며, 아울러, 스크라이브 라인의 트렌치(23c)로된 초기 정렬 패턴(30) 또한 산화막(24)으로 매립된다.
- <37> 도 2c를 참조하면, 상기 산화막(24)을 CMP하고, 이를 통해, 기판 셀 영역 및 주변회로 영역 각각에 트렌치형의 소자분리막들(25)을 형성한다. 그런다음, 질화막으로 이루어진 액티브 마스크를 제거한다. 이 결과, 상기 트렌치로된 초기 정렬 패턴(30)은 산화막(24)에 의해 원치 않게 매립되어 단차가 제거된다. 이에 따라, 이러한 초기 정렬 패턴(30)을 이용하여 후속 포토 공정에서 레티클 정렬 및 패턴 중첩 상태를 파악하기 위한 정렬 신호 리딩을 할 경우, 리딩 에러가 유발된다.
- <38> 따라서, 초기 정렬 패턴(30)에서 제거된 단차를 재형성해주기 위한 작업이 필요하며, 본 발명은 다음과 같은 공정을 진행한다.

- <39> 도 2d를 참조하면, 웰(Well) 및 채널(Channel)을 형성하기 위해 대략 5~7 단계의 이온 주입 공정을 진행한다. 이때, 어느 한 단계의 이온주입 공정을 진행함에 있어, 웰 형성용 또는 채널 형성용의 이온주입 마스크(26)는 셀 영역 및 주변회로 영역의 일부분, 예컨대, P-웰 형성 영역, N-웰 형성 영역, N-채널 형성 영역, 또는, P-채널 형성 영역을 노출시키도록 형성함은 물론 스크라이브 라인의 초기 정렬 패턴(30) 또한 노출시키도록 형성한다. 그런다음, 상기 이온주입 마스크(26)로부터 가려지지 않고 노출된 기판 부분들 내에 웰 또는 채널 형성용 불순물을 이온주입한다.
- <40> 다음으로, 상기 이온주입이 수행된 기판 결과물에 대해, 상기 이온주입 마스크(26)를 제거하기 전 산화막 웨트 딥(Wet Dip)을 수행한다. 이 결과, 스크라이브 라인의 트렌치로된 초기 정렬 패턴(30)에 매립된 산화막(24)이 리세스(recess)된다. 여기서, 상기 산화막 웨트 딥은 주변회로 영역에 나쁜 영향이 미치지 않도록 딥 아웃 타겟(Dip Out Target)을 300Å 이하로 하여 수행한다. 예컨대, 상기 산화막 웨트 딥은 기판 결과물을 $\text{NH}_4\text{F}+\text{HF}$ (20:1) 용액에 5~10초 동안 침지(dipping)시키는 방식으로 진행한다.
- <41> 도 2e를 참조하면, 공지의 PR-스크립 공정에 따라 이온주입 마스크를 제거하고, 이 결과로서, 단차가 재형성된 최종 정렬 패턴(30a)을 형성한다.
- <42> 여기서, 본 발명은 트렌치로된 정렬 패턴에서의 산화막에 의한 단차 제거를 후속 이온주입 공정에서의 산화막 웨트 딥을 추가 수행하여 재형성해주기 때문에 별도의 키 오픈 공정의 진행은 필요치 않다. 따라서, 본 발명은 종래의 정렬 패턴 형성 공정과 비교해서 현격한 공정 단순화를 이룰 수 있으며, 그래서, 제조 비용 및 시간을 절감할 수 있다.
- <43> 즉, 도 3은 종래 및 본 발명에 따른 정렬 패턴 형성 공정을 설명하기 위한 블록도로서 이를 설명하면 다음과 같다.



- <44> 도시된 바와 같이, 종래에는 STI 공정에서의 액티브 마스크 제거 후 문턱전압 스크린 마스크 산화막 증착 전, 키 오픈 마스크 PR 코팅, 정렬 및 노광, 현상, 키 오픈 마스크 측정 및 검사, 산화막 식각, 키 오픈 마스크 제거, 세정, 이온주입 마스크 형성 및 이온주입, 그리고, 이온주입 마스크 제거의 9단계 공정을 수행해야만 한다. 이에 반해, 본 발명은 STI 공정에서의 액티브 마스크 제거 후 문턱전압 스크린 마스크 산화막 증착 전, 이온주입 마스크 형성 및 이온주입, 산화막 웨트 딥, 그리고, 이온주입 마스크 제거의 3단계 공정을 수행하면 된다.
- <45> 따라서, 본 발명은 정렬 패턴에서의 단차 재형성을 위한 기존의 9단계 공정을 이온주입 후, 그리고, 이온주입 마스크 제거 전, 산화막 웨트 딥을 추가 수행하는 것을 통한 3단계 공정으로 줄일 수 있으므로, 공정 단순화를 이룰 수 있고, 그에 따른 제조 비용 및 시간을 절감할 수 있다.
- <46> 한편, 초기 정렬 패턴을 노출시키는 이온주입 마스크는, 도 4에 도시된 바와 같이, 그 형성시 스크라이브 라인에 대응하는 레티클(40) 부위에 윈도우(window) 패턴(40a, 40b)을 추가 형성해주는 것에 의해 용이하게 얻을 수 있다.
- <47> 이때, 상측 도면과 같이 정렬키에 대응하는 윈도우 패턴(42a)은 레티클(40) 상에서 액티브 마스크에서 형성된 정렬키(44)로부터 $1.5 \sim 2.5 \mu\text{m}$, 바람직하게 $2 \mu\text{m}$ 정도 이격될 수 있도록 형성하며, 그리고, 하측 도면과 같이 버니어에 대응하는 윈도우 패턴(42b)은 액티브 마스크에서 형성된 버니어(46)로부터 $4.5 \sim 5.5 \mu\text{m}$, 바람직하게 $5 \mu\text{m}$ 정도 이격될 수 있도록 형성한다.
- <48> 이상, 여기에서는 본 발명의 특정 실시예에 대해 도시하고 설명하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하 특허청구범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.



【발명의 효과】

<49> 이상에서와 같이, 본 발명은 소자분리 공정 이후의 이온주입 공정에서 이온주입 후 산화막 웨트 딥을 추가하여 정렬 패턴에서의 산화막을 리세시시킴으로써 키 오픈 공정을 수행함이 없이도 상기 정렬 패턴에서의 단차를 재형성해 줄 수 있다.

<50> 따라서, 본 발명은 별도의 키 오픈 공정을 생략할 수 있으므로 공정 단순화를 이룰 수 있으며, 특히, 공정 단순화를 통해 제조 비용 및 시간을 절감할 수 있다.



【특허청구범위】

【청구항 1】

실리콘기판의 셀 영역과 주변회로 영역 및 스크라이브 라인 각각에 트렌치를 형성하는 단계;

상기 기판 셀 영역의 트렌치가 매립되도록 기판 전면 상에 산화막을 증착하는 단계;

상기 산화막을 CMP하여 기판 셀 영역 및 주변회로 영역에 트렌치형의 소자분리막을 형성하는 단계;

상기 기판 상에 셀 영역 및 주변회로 영역의 일부분과 스크라이브 라인의 산화막이 매립된 트렌치 부분을 노출시키는 이온주입 마스크를 형성하는 단계;

상기 이온주입 마스크로부터 가려지지 않은 노출된 기판 부분들 내에 불순물을 이온주입하는 단계;

상기 스크라이브 라인의 트렌치 내에 매립된 산화막이 리세스되도록 기판 결과물에 대해 산화막 웨트 딥(Wet Dip)을 수행하는 단계; 및

상기 이온주입 마스크를 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 정렬 패턴 형성방법.

【청구항 2】

제 1 항에 있어서, 상기 이온주입 마스크는

웰 형성용 이온주입 마스크 또는 채널 형성용 이온주입 마스크인 것을 특징으로 하는 포토 마스크 정렬키 형성방법.



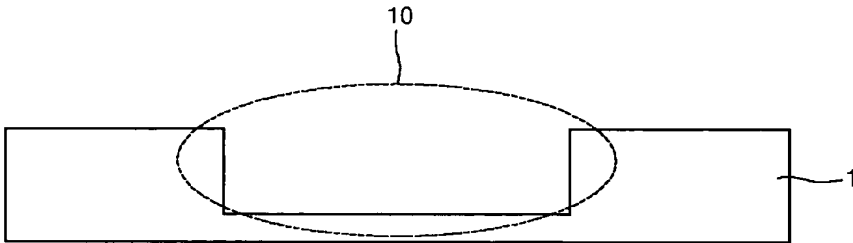
【청구항 3】

제 1 항에 있어서, 상기 산화막 웨트 덤은

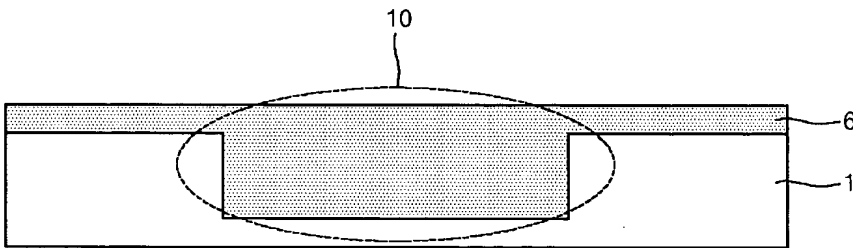
산화막 덤 아웃 타겟을 300\AA 이하로 하여 수행하는 것을 특징으로 하는 포토 마스크 정렬기 형성방법.

【도면】

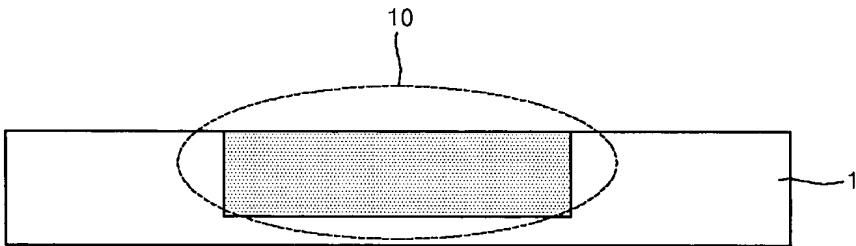
【도 1a】



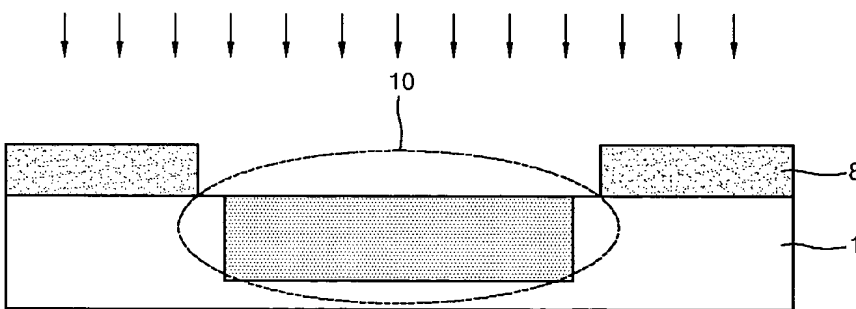
【도 1b】



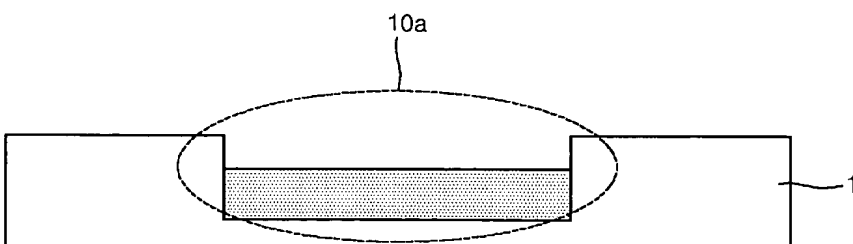
【도 1c】



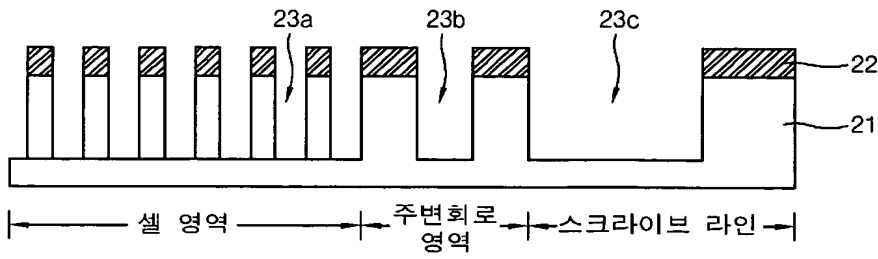
【도 1d】



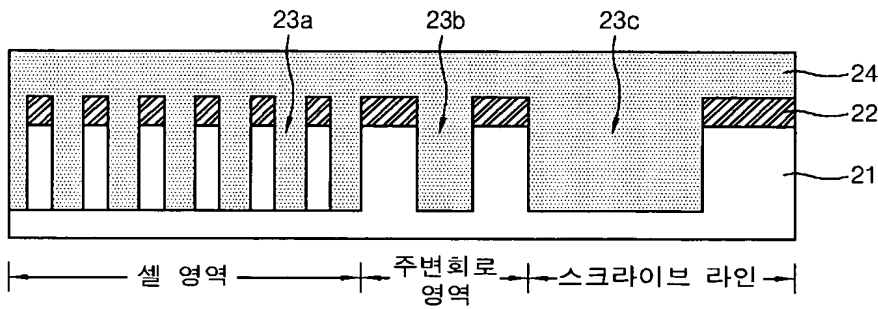
【도 1e】



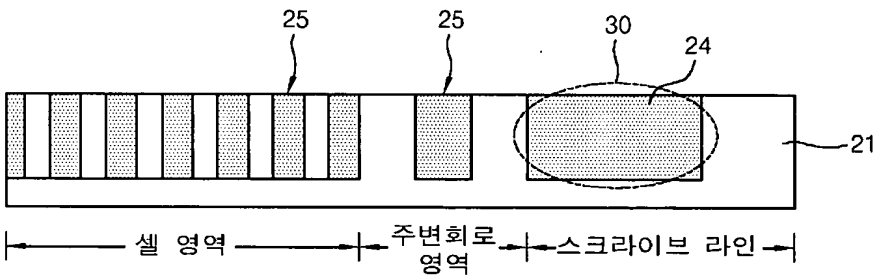
【도 2a】



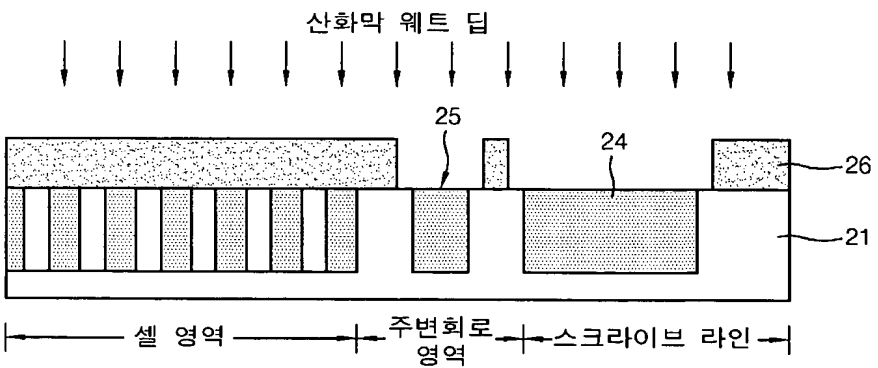
【도 2b】



【도 2c】

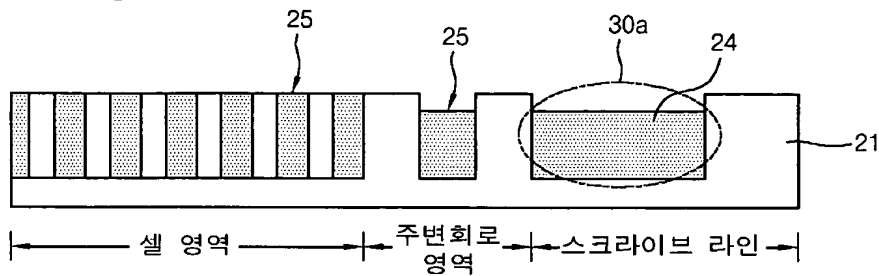


【도 2d】

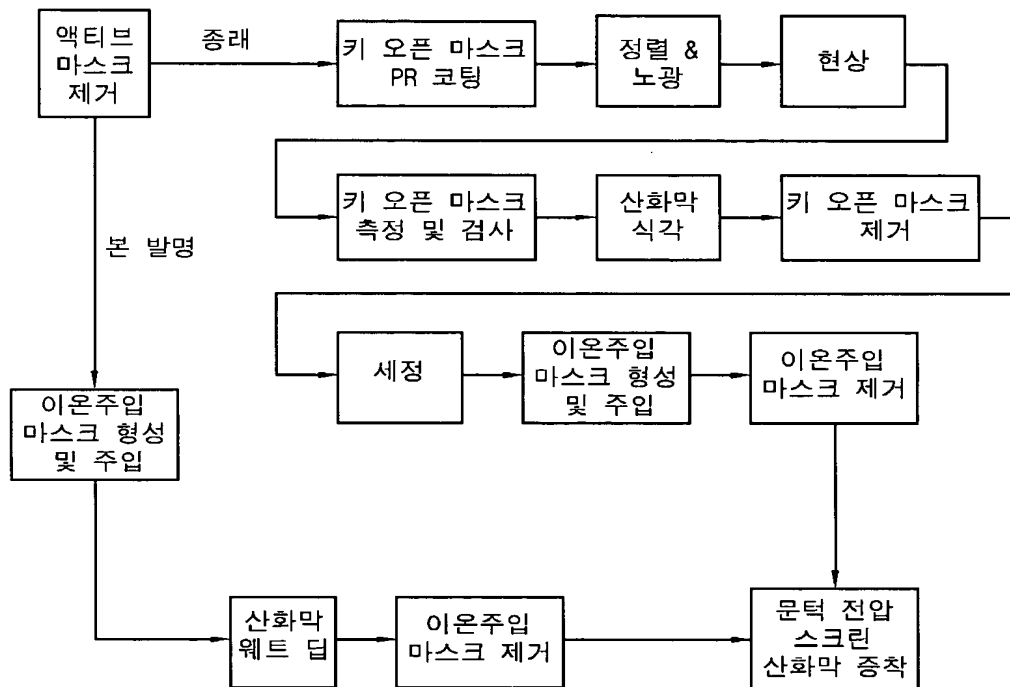




【도 2e】



【도 3】





【도 4】

